

CURRENT ADDITION TYPE D/A CONVERTER

Patent Number: JP9191252
Publication date: 1997-07-22
Inventor(s): SUWA NAKO
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP9191252
Application Number: JP19960000732 19960108
Priority Number(s):
IPC Classification: H03M1/68; H03F3/345; H03F3/45; H03M1/74
EC Classification:
Equivalents: JP3460765B2

Abstract

PROBLEM TO BE SOLVED: To reduce a layout area in an IC without deteriorating conversion precision.
SOLUTION: Two sets of current mirror circuits 11, 12 have a series circuit group consisting of MOS transistors(TRs) Q1 - Q7 and source resistors R1 -R7 . Thus, it is not required to make a voltage between a gate of the MOS TR and a DC power supply VDD equal between a high order bit group 11 and a low-order bit group 12 and the voltage drop by each source resistor and gate- source voltage of each MOS TR are adjusted uniquely to each group and values of R1 /R7 and W7 /W1 are reduced.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-191252

(43)公開日 平成9年(1997)7月22日

| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|-------|--------|---------|--------|
| H 0 3 M | 1/68 | | H 0 3 M | 1/68 |
| H 0 3 F | 3/345 | | H 0 3 F | 3/345 |
| | 3/45 | | | 3/45 |
| H 0 3 M | 1/74 | | H 0 3 M | 1/74 |

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21)出願番号 特願平8-732

(22)出願日 平成8年(1996)1月8日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 諏訪 尚子

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

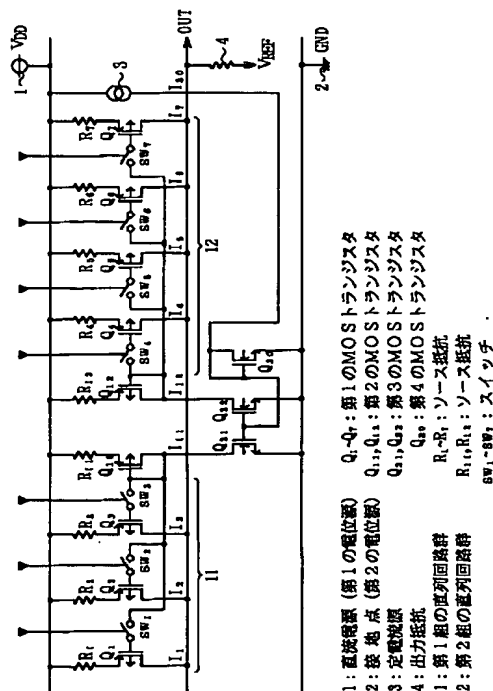
(74)代理人 弁理士 葛野 信一

(54)【発明の名称】 電流加算型デジタルアナログ変換回路

(57)【要約】

【課題】 電流加算型D/A変換回路では、カレントミラー回路によって、各MOSTランジスタ $Q_1 \sim Q_7$ のソース抵抗の端子電圧が等しくなるよう制御され、ソース抵抗値 $R_1 \sim R_7$ を変えて、大きさが2のべき数で増加するドレイン電流 $I_1 \sim I_7$ を流していた。そのため、最低ビットと最高ビットとで抵抗値比(R_1/R_7)、ゲート幅比(W_7/W_1)が大きくなりすぎ、IC中のレイアウト面積が大となる。

【解決手段】 MOSTランジスタ $Q_1 \sim Q_7$ とソース抵抗 $R_1 \sim R_7$ との直列回路群を2組のカレントミラー回路11, 12に分けた。そのため、MOSTランジスタのゲートと直流電源 V_{DD} 間の電圧を上位ビット側の組11と下位ビット側の組12とで等しくする必要がなく、各ソース抵抗による電圧降下、各MOSTランジスタのゲートソース間電圧を各組独自の値に調整することができ R_1/R_7 や W_7/W_1 を小さくすることが可能となった。



【特許請求の範囲】

【請求項1】 第1の電位源と出力端子間に、第1のMOSトランジスタとソース抵抗との直列回路を所定数並列に接続し、上記各第1のMOSトランジスタのゲートと上記第1の電位源との間に、入力デジタル信号に応じて開閉する各スイッチを介して所定のゲート電圧を印加し、上記出力端子から上記スイッチオンの第1のトランジスタ電流の総和を取出すようにした電流加算型デジタルアナログ変換回路において、上記第1のMOSトランジスタとソース抵抗との直列回路群を複数組に分け、各組毎に、それぞれの組の各第1のMOSトランジスタとカレントミラー回路を構成し、これら第1のMOSトランジスタのゲート電圧印加端子と上記第1の電位源間には、ゲートとドレインが短絡された第2のMOSトランジスタとソース抵抗との直列回路を接続し、これら各組の第2のMOSトランジスタのドレインと第2の電位源間に上記各第1、第2のMOSトランジスタと逆極性の第3のMOSトランジスタを接続し、これら各組の第3のMOSトランジスタとカレントミラー回路を構成し、これら第3のMOSトランジスタと同極性で、ソースが上記第2の電位源に、ドレインが定電流源を介して上記第1の電位源に接続され、ゲートとドレインが短絡されて、上記全組の第3のMOSトランジスタのゲートに接続された第4のMOSトランジスタを設けたことを特徴とする電流加算型デジタルアナログ変換回路。

【請求項2】 分割された上位ビット側の組の第2のMOSトランジスタのゲートと第1の電位源間の電圧を、下位ビット側の組の第2のMOSトランジスタのゲートと第1の電位源間の電圧より大となるようにしたことを特徴とする請求項1記載の電流加算型デジタルアナログ変換回路。

【請求項3】 分割された各組の第1のMOSトランジスタと第2のMOSトランジスタのソース抵抗とこれを通る電流による電圧降下の大きさを各組毎に等しくするとともに、上位ビット側の組の上記電圧降下を、下位ビット側の組の電圧降下より大となるようにしたことを特徴とする請求項1記載の電流加算型デジタルアナログ変換回路。

【請求項4】 分割された各組の第1のMOSトランジスタと第2のMOSトランジスタのゲート長を各組毎に等しくするとともに、上位ビット側の組の上記ゲート長を、下位ビット側の組のゲート長より短くなるようにしたことを特徴とする請求項1記載の電流加算型デジタルアナログ変換回路。

【請求項5】 分割された各組の第1のMOSトランジスタと第2のMOSトランジスタのゲート長、ゲート幅及びドレイン電流によってきまるゲートソース間電圧を

各組毎に等しくするとともに、上位ビット側の組の上記ゲートソース間電圧を、下位ビット側の組のゲートソース間電圧より大となるようにしたことを特徴とする請求項1記載の電流加算型デジタルアナログ変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、金属酸化物半導体形電界効果トランジスタ（以下MOSトランジスタという）で構成された電流加算型デジタル／アナログ（以下D／Aという）変換回路に関するものである。

【0002】

【従来の技術】図5は従来の電流加算型D／A変換器の一例を示す回路図で、図において、1は直流電源（以下 V_{DD} という）、2は接地点（以下GNDという）、3は定電流源、4は出力抵抗、 $Q_1 \sim Q_n$ はビット数 n 個のD／A変換用のPチャンネルMOSトランジスタ（以下単にPMOSトランジスタという）、 $R_1 \sim R_n$ はMOSトランジスタ $Q_1 \sim Q_n$ のソースと V_{DD} 1間に接続されたソース抵抗で、最下位ビット（Least Significant Bit, 以下LSBという）の抵抗 R_1 の抵抗値が最大値で上位ビットになるにつれ順次 $1/2$ に減小し、最上位ビット（Most Significant Bit, 以下MSBという）で最小値になるよう、

$$R_1 : R_2 : R_3 : R_4 : \dots : R_n = 1 : 1/2 : 1/4 : 1/8 : \dots : 1/2^{n-1}$$

の関係の抵抗値が選定される。

【0003】 Q_{10} はこれらMOSトランジスタ $Q_1 \sim Q_n$ とカレントミラー回路を構成する駆動用PMOSトランジスタで、そのソースが抵抗 R_{10} を介して V_{DD} 1に、ドレインがゲートと短絡して定電流源3を介してGND2に接続されている。 $sw_1 \sim sw_n$ は各MOSトランジスタ $Q_1 \sim Q_n$ のゲートとMOSトランジスタ Q_{10} のドレイン間に接続されたスイッチで、入力デジタル信号に応じて開閉される。OUTは出力端子、 $I_1 \sim I_n$ 、 I_{10} は各MOSトランジスタ $Q_1 \sim Q_n$ 、 Q_{10} のドレイン電流、 V_{REF} は入力デジタル信号が0（スイッチ $sw_1 \sim sw_n$ が全て開）の時の出力電圧値である。

【0004】図6（a）は上記各PMOSトランジスタの構成及びマスクパターンを示す平面図、同図（b）は断面図で、図において、Dはドレイン、Sはソース、Gはゲート、Lはゲート長、Wはゲート幅である。このMOSトランジスタのしきい値電圧を V_{TH0} 、ドレイン電流を I_D 、コンダクタンスを β とすれば、飽和領域において $\beta = K_1 W/L$ で、ゲートGとソース間の電圧 V_{GS} は次式で表わされる。ここに K_1, K_2 は比例常数である。

【数1】

$$V_{GS} = \sqrt{\frac{2 I_D}{\beta}} + V_{TH0} = K_2 \sqrt{I_D \times \frac{L}{W}} + V_{TH0} \quad \dots (1)$$

【0005】上記各MOSTランジスタ $Q_1 \sim Q_n$ 、 Q_{10} のゲート長 L は等しく、ゲート幅 W は各MOSTランジスタ毎に異なったサイズとし、それらの値 $W_1 \sim W_n$ 、 W_{10} は

$$W_1 : W_2 : W_3 : W_4 : \dots : W_n = 1 : 2 : 4 : 8 : \dots : 2^{n-1}$$

$$W_{10} = W_1 \times R_1 / R_{10}$$

となるよう構成されている。このように、各MOSTランジスタ $Q_1 \sim Q_n$ 、 Q_{10} のゲート幅 $W_1 \sim W_n$ 、 W_{10} を、流すべきドレイン電流 $I_1 \sim I_n$ 、 I_{10} と比例するようになされているので、各MOSTランジスタの V_{TH0} は等しいとすれば、上記ゲート G とソース間の電圧 V_{GS} は全トランジスタで等しくなる。

【0006】次にその動作を説明する。入力デジタル信号に応じてスイッチ $sw_1 \sim sw_n$ の何れかが、例えばスイッチ sw_1 及び sw_3 がオンしたとすると、そのオンしたスイッチ sw_1 、 sw_3 を介してMOSTランジスタ Q_1 、 Q_3 のゲートと V_{DD} 間に、定電流源3からMOSTランジスタ Q_{10} に供給される定電流 I_{10} の抵抗 R_{10} による電圧降下($I_{10} \times R_{10}$)と上記ゲートソース間電圧 V

$$I_1 : I_2 : I_3 : I_4 : \dots : I_n = 1 : 2 : 4 : 8 : \dots : 2^{n-1} \quad \dots (2)$$

の関係となり、入力デジタル信号に応じてオンされるスイッチ $sw_1 \sim sw_n$ に対応するMOSTランジスタ $Q_1 \sim Q_n$ に流れるドレイン電流 $I_1 \sim I_n$ が加算されて出力抵抗4に流れ、入力デジタル信号に対応したアナログ出力電圧が出力端子OUTから取出される。

【0009】

【発明が解決しようとする課題】上記のような従来の電流加算型D/A変換器では、各MOSTランジスタ $Q_1 \sim Q_n$ のドレイン電流 $I_1 \sim I_n$ が($1 : 2 : 4 : 8 : \dots : 2^{n-1}$)の関係となるので、これらMOSTランジスタのゲート幅 $W_1 \sim W_n$ を($1 : 2 : 4 : 8 : \dots : 2^{n-1}$)の関係とし、かつ、ソース抵抗値 $R_1 \sim R_n$ を($1 : 1/2 : 1/4 : 1/8 : \dots : 1/2^{n-1}$)とする必要があり、集積回路(以下ICという)中のこれらの占めるレイアウト面積が大きくなるという欠点があった。例えば、7ビットD/A変換器では、MOSTランジスタ Q_7 のゲート幅 W_7 をMOSTランジスタ Q_1 のゲート幅 W_1 の64倍に、ソース抵抗 R_1 の抵抗値をソース抵抗 R_7 の抵抗値の64倍となる。なお、上記ゲート電圧 V_G を小さくすれば、LSBとMSBのソース抵抗比(R_1/R_n)及びゲート幅比(W_n/W_1)は小さくなるが、それだけ変換誤差が大となり、精度が低下するという問題点が生ずる。

【0010】この発明は、上記のような問題点を解消するためになされたもので、変換精度を下げることなく、IC中のレイアウト面積を小さくすることができる電流加算型D/A変換回路をうることを目的としている。

【0011】

【課題を解決するための手段】この発明に係る電流加算

GS を加えた値に等しい一定のゲート電圧($V_G = I_{10} \times R_{10} + V_{GS}$)が印加される。そして、MOSTランジスタ Q_{10} 、ソース抵抗 R_{10} とMOSTランジスタ Q_1 、 Q_3 、ソース抵抗 R_1 、 R_3 とで構成されるカレントミラー回路によって、MOSTランジスタ Q_1 、 Q_3 には次式に示す値のドレイン電流 I_1 、 I_3 が流れる。

$$I_1 = (V_G - V_{GS}) / R_1 = I_{10} \times R_{10} / R_1, \quad I_3 = I_{10} \times R_{10} / R_3$$

【0007】ここで、 $R_1 = 2 \times 2 \times R_3$ なので出力電流 I_{out} は

$$I_{out} = I_1 + I_3 = I_{10} \times R_{10} \times (1/R_1 + 1/R_3) = 5 \times I_{10} \times R_{10} / R_1$$

となる。即ちLSBのアナログ電流値($I_1 = I_{10} \times R_{10} / R_1$)の2進数で101倍、10進数で5倍の出力電流が出力抵抗4に流れ、その電圧降下が V_{REF} に加えられた出力電圧が出力端子OUTに出力される。

【0008】即ち、各MOSTランジスタ $Q_1 \sim Q_n$ のソース抵抗 $R_1 \sim R_n$ が上述の関係にあるから、各スイッチ $sw_1 \sim sw_n$ がオンした時の各MOSTランジスタ $Q_1 \sim Q_n$ のドレイン電流 $I_1 \sim I_n$ は

型D/A変換回路は、第1の電位源と出力端子間に、第1のMOSTランジスタとソース抵抗との直列回路を所定数並列に接続し、上記各第1のMOSTランジスタのゲートと上記第1の電位源との間に、入力デジタル信号に応じて開閉する各スイッチを介して所定のゲート電圧を印加し、上記出力端子から上記スイッチオンの第1のトランジスタ電流の総和を取出すようにした電流加算型デジタルアナログ変換回路において、上記第1のMOSTランジスタとソース抵抗との直列回路群を複数組に分け、各組毎に、それぞれの組の各第1のMOSTランジスタとカレントミラー回路を構成し、これら第1のMOSTランジスタのゲート電圧印加端子と上記第1の電位源間に、ゲートとドレインが短絡された第2のMOSTランジスタとソース抵抗との直列回路を接続し、これら各組の第2のMOSTランジスタのドレインと第2の電位源間に上記各第1、第2のMOSTランジスタと逆極性の第3のMOSTランジスタを接続し、これら各組の第3のMOSTランジスタとカレントミラー回路を構成し、これら第3のMOSTランジスタと同極性で、ソースが上記第2の電位源に、ドレインが定電流源を介して上記第1の電位源に接続され、ゲートとドレインが短絡されて、上記全組の第3のMOSTランジスタのゲートに接続された第4のMOSTランジスタを設けたものである。

【0012】また、上記のものにおいて、分割された上位ビット側の組の第2のMOSTランジスタのゲートと第1の電位源間の電圧を、下位ビット側の組の第2のMOSTランジスタのゲートと第1の電位源間の電圧より大となるようにしたものである。

【0013】また、上記のものにおいて、分割された各組の第1のMOSTランジスタと第2のMOSTランジスタのソース抵抗とこれを通れる電流による電圧降下の大きさを各組毎に等しくするとともに、上位ビット側の組の上記電圧降下を、下位ビット側の組の電圧降下より大となるようにしたものである。

【0014】さらに、上記のものにおいて、分割された各組の第1のMOSTランジスタと第2のMOSTランジスタのゲート長を各組毎に等しくするとともに、上位ビット側の組の上記ゲート長を、下位ビット側の組のゲート長より短くなるようにしたものである。

【0015】さらにまた、分割された各組の第1のMOSTランジスタと第2のMOSTランジスタのゲート長、ゲート幅及びドレイン電流によってきまるゲートソース間電圧を各組毎に等しくするとともに、上位ビット側の組の上記ゲートソース間電圧を、下位ビット側の組のゲートソース間電圧より大となるようにしたものである。

【0016】

【発明の実施の形態】

実施の形態1. 図1はこの発明の実施の形態1を示す回路図、図2はその動作を説明するための回路図である。図1において、1は第1の電位源を構成する直流電源 V_{DD} 、2は第2の電位源を構成する接地点GND、3は定電流源、4は出力抵抗、 $Q_1 \sim Q_7$ はビット数7のD/A変換用の第1のMOSTランジスタであるPMOSTランジスタ、 $R_1 \sim R_7$ はMOSTランジスタ $Q_1 \sim Q_7$ のソース抵抗、 $sw_1 \sim sw_7$ は入力デジタル信号に応じて開閉されるスイッチ、OUTは出力端子、 V_{REF} は入力デジタル信号が0の時の出力電圧値である。

【0017】 Q_{11} は第1の組11のMOSTランジスタ Q_1 、 Q_2 、 Q_3 とそれらのスイッチ sw_1 、 sw_2 、 sw_3 がオン時にカレントミラー回路を構成する第2のMOSTランジスタであるPMOSTランジスタ、 R_{11} はこのMOSTランジスタ Q_{11} のソース抵抗、 Q_{12} は第2の組12のMOSTランジスタ Q_4 、 Q_5 、 Q_6 、 Q_7 とそれらのスイッチ sw_4 、 sw_5 、 sw_6 、 sw_7 がオン時にカレントミラー回路を構成する第2のMOSTランジスタであるPMOSTランジスタ、 R_{12} はこのMOSTランジスタ Q_{12} のソース抵抗である。

【0018】 Q_{21} はPMOSTランジスタ Q_{11} のドレインとGND2間に直列に接続された第3のMOSTランジスタであるNチャンネルのMOSTランジスタ（以下NMOSTランジスタという）、 Q_{22} はPMOSTランジスタ Q_{12} のドレインとGND2間に直列に接続された第3のMOSTランジスタであるNMOSTランジスタ、 Q_{30} は、これらNMOSTランジスタ Q_{21} 、 Q_{22} とカレントミラー回路を構成し、ゲートとドレインが短絡され、ソースがGND2に、ドレインが定電流源3を介して V_{DD} 1に、ゲートがNMOSTランジスタ Q_{21} 、 Q_{22} のゲートにそれぞれ接続される第4のMOSTランジスタであるNMOSTランジスタである。

【0019】 $I_1 \sim I_7$ 、 I_{11} 、 I_{12} 、 I_{30} は各MOSTランジスタ $Q_1 \sim Q_7$ 、 Q_{11} 、 Q_{12} 、 Q_{30} のドレイン電流で、

$$I_1/I_2 = I_2/I_3 = I_3/I_4 = I_4/I_5 = I_5/I_6 = I_6/I_7 = 2$$

即ち(2)式となるよう、各組11及び12毎に抵抗 $R_1 \sim R_7$ を

$$R_1 \times I_1 = R_2 \times I_2 = R_3 \times I_3 = R_{11} \times I_{11}$$

$$R_4 \times I_4 = R_5 \times I_5 = R_6 \times I_6 = R_7 \times I_7 = R_{12} \times I_{12}$$

と、即ち、各組内のソース抵抗の電圧降下が等しくなるよう、

$$R_1/R_2 = R_2/R_3 = 1/2, R_4/R_5 = R_5/R_6 = R_6/R_7 = 1/2$$

の関係に設定する。そしてこの実施の形態では、 $R_{11} \times I_{11} < R_{12} \times I_{12}$ 、即ち第1の組11のソース抵抗の電圧降下を第2の組12のそれより小さくするよう設定する。従って、 $R_3/R_4 < 1/2$ なるよう設定される。

【0020】また、各組のMOSTランジスタ $Q_1 \sim Q_7$ 、 Q_{11} 、 Q_{12} のゲート長を $L_1 \sim L_7$ 、 L_{11} 、 L_{12} 、ゲート幅を $W_1 \sim W_7$ 、 W_{11} 、 W_{12} とすれば、これらの関係を

$$L_1 = L_2 = L_3 = L_{11}, L_4 = L_5 = L_6 = L_7 = L_{12}, L_{11} > L_{12}$$

と、即ち、各組内のMOSTランジスタのゲート長が等しく、そして、第1の組11のゲート長を第2の組12のそれより長くなるよう設定する。

【0021】さらに、上記(1)式のゲート長とゲート幅の比によってきまる各MOSTランジスタ $Q_1 \sim Q_7$ 、 Q_{11} 、 Q_{12} 、 Q_{21} 、 Q_{22} 、 Q_{30} のゲートソース間電圧 $V_{GS1} \sim V_{GS7}$ 、 V_{GS11} 、 V_{GS12} 、 V_{GS21} 、 V_{GS22} 、 V_{GS30} を

$$V_{GS1} = V_{GS2} = V_{GS3} = V_{GS11}, V_{GS4} = V_{GS5} = V_{GS6} = V_{GS7} = V_{GS12},$$

$$V_{GS21} = V_{GS22} = V_{GS30}, V_{GS11} < V_{GS12}$$

と、即ち、同じカレントソース回路を構成するMOSTランジスタのゲートソース間電圧を等しく、そして、第1の組11のゲートソース間電圧を第2の組12のそれより小さくするよう設定する。これによって、各第1のMOSTランジスタ $Q_1 \sim Q_7$ のゲート幅 $W_1 \sim W_7$ は

(1)式より明らかに

$$W_1/W_2 = W_2/W_3 = 1/2, W_4/W_5 = W_5/W_6 = W_6/W_7 = 1/2$$

となる。ただし、 $W_3/W_4 > 1/2$ なるよう設定される。

【0022】次にその動作を説明する。第3のNMOSTランジスタ Q_{21} 、 Q_{22} と第4のNMOSTランジスタ Q_{30} とはカレントミラー回路を構成されており、これら

のNMOSTランジスタのゲートとGND2間のゲート電圧、ソース抵抗が接続されていないので、ゲートソース間電圧 V_{GS21} , V_{GS22} , V_{GS30} が等しくなるよう各MOSTランジスタにドレイン電流 I_{11} , I_{12} , I_{30} が流れる。これらのドレイン電流は、各MOSTランジスタ Q_{21} , Q_{22} , Q_{30} のゲート長を L_{21} , L_{22} , L_{30} 、ゲート幅を W_{21} , W_{22} , W_{30} とし、しきい値電圧 V_{TH0} は両トランジスタで等しいとすれば、上記(1)式より

$$I_{11} = (I_{30} \times W_{21} \times L_{30}) / (L_{21} \times W_{30}),$$

$$I_{12} = (I_{30} \times W_{22} \times L_{30}) / (L_{22} \times W_{30})$$

となる。これらのドレイン電流 I_{11} 及び I_{12} が第2のPMOSTランジスタ Q_{11} 及び Q_{12} にドレイン電流として供給される。

【0023】今、入力デジタル信号に応じてスイッチ $sw_1 \sim sw_7$ の何れかが、例えばスイッチ sw_1 , sw_3 , sw_5 及び sw_6 がオンしたとすると、そのオンしたスイッチ sw_1 , sw_3 を介してMOSTランジスタ Q_1 , Q_3 のゲートと V_{DD} 1間に、MOSTランジスタ Q_{11} に供給されるドレイン電流 I_{11} の抵抗 R_{11} による電圧降下($I_{11} \times R_{11}$)と上記ゲートソース間電圧 V_{GS11} を加えた値に等しい一定のゲート電圧($V_{G11} = I_{11} \times R_{11} + V_{GS11}$)

$$I_{out} = I_1 + I_3 + I_5 + I_6$$

$$= I_{11} \times R_{11} \times (1/R_1 + 1/R_3) + I_{12} \times R_{12} \times (1/R_5 + 1/R_6)$$

$$= (1 + 4 + 16 + 32) \times I_1 = 53 I_1$$

となり、この出力電流 I_{out} が出力抵抗4に流れ、その電圧降下が V_{REF} に加えられた出力電圧が出力端子OUTに出力される。このように、入力デジタル信号に応じてオンされるスイッチ $sw_1 \sim sw_7$ に対応するMOSTランジスタ $Q_1 \sim Q_7$ に流れるドレイン電流 $I_1 \sim I_7$ が加算されて出力抵抗4に流れ、入力デジタル信号に対応したアナログ出力電圧が出力端子OUTから取出される。

【0026】以上のように、この実施の態様では、第1のMOSTランジスタ $Q_1 \sim Q_7$ を2組に分けて、それぞれ別のカレントミラー回路を構成させたので、全MOSTランジスタのゲートと V_{DD} 1間のゲート電圧を等しくする必要がなく、従って、各ソース抵抗による電圧降下、各MOSTランジスタのゲートソース間電圧は各組内においてのみ等しくなるようソース抵抗値、ゲート長、ゲート幅を調整すればよく、LSB側の第1の組11とMSB側の第2の組12とでそれぞれ独自の値に調整することが可能となる。

【0027】電流加算型D/A変換器は、スイッチ sw

$$\sqrt{\frac{2 I_{out}}{\beta_b}} - \sqrt{\frac{2 I_{ref}}{\beta_a}} + V_{TH0b} - V_{TH0a} + R_S (I_{out} - I_{ref}) = 0$$

$$\beta_a = \beta, \beta_b = \beta + \Delta\beta, I_{ref} = I, I_{out} = I + \Delta I, V_{GSa} = V_{GS}, V_{TH0a} = V_{TH0}, V_{TH0b} = V_{TH0} + \Delta$$

V_{GS11}) が印加される。そして、MOSTランジスタ Q_{11} 、ソース抵抗 R_{11} とMOSTランジスタ Q_1 , Q_3 、ソース抵抗 R_1 , R_3 とで構成されるカレントミラー回路11によって、MOSTランジスタ Q_1 , Q_3 には次式に示す値のドレイン電流 I_1 , I_3 が流れる。

$$I_1 = (V_{G11} - V_{GS11}) / R_1 = I_{11} \times R_{11} / R_1, I_3 = I_{11} \times R_{11} / R_3$$

【0024】一方、オンしたスイッチ sw_5 , sw_6 を介してMOSTランジスタ Q_5 , Q_6 のゲートと V_{DD} 1間に、MOSTランジスタ Q_{12} に供給されるドレイン電流 I_{12} の抵抗 R_{12} による電圧降下($I_{12} \times R_{12}$)と上記ゲートソース間電圧 V_{GS12} を加えた値に等しい一定のゲート電圧($V_{G12} = I_{12} \times R_{12} + V_{GS12}$) が印加される。

そして、MOSTランジスタ Q_{12} 、ソース抵抗 R_{12} とMOSTランジスタ Q_5 , Q_6 、ソース抵抗 R_5 , R_6 とで構成されるカレントミラー回路12によって、MOSTランジスタ Q_5 , Q_6 には次式に示す値のドレイン電流 I_5 , I_6 が流れる。

$$I_5 = (V_G - V_{GS12}) / R_5 = I_{12} \times R_{12} / R_5, I_6 = I_{12} \times R_{12} / R_6$$

【0025】それで、出力電流 I_{out} は

がオンになったところの電流が抵抗4に流れ込み、出力OUTに電圧値が出力される。よってD/A変換の直線性のばらつきは電流値の大きいMSB側のばらつきの精度が大きく関与する。つまり、MSB側のカレントミラー回路の誤差を小さくするような回路構成にする。ソース側に抵抗のあるカレントミラー回路の誤差を表す式を図2を用いて説明する。図2において、 Q_a は定電流駆動用PMOSTランジスタ、 Q_b はこのMOSTランジスタ Q_a とカレントミラー回路を構成するPMOSTランジスタ、Dはドレイン、Sはソース、Gはゲート、 R_s はソース抵抗で、両MOSTランジスタ Q_a , Q_b で等しい抵抗値であるとする。 I_{ref} は定電流源3の駆動基準電流、 I_{out} は出力電流である。

【0028】今、MOSTランジスタ Q_a , Q_b のゲートソース間電圧を V_{GSa} , V_{GSb} 、コンダクタンスを β_a , β_b 、しきい値電圧を V_{TH0a} , V_{TH0b} とすれば、 $V_{GSa} + R_s \times I_{ref} = V_{GSb} + R_s \times I_{out}$ 、従って

$$V_{GSb} - V_{GSa} + R_s (I_{out} - I_{ref}) = 0$$

【数2】

V_{TH0} とすると

【数3】

$$\sqrt{\frac{2I}{\beta}} \times \frac{1}{2} \left(-\frac{\Delta I}{I} + \frac{\Delta \beta}{\beta} \right) + \Delta V_{TH0} + R_s \Delta I$$

$$= \frac{(V_{GS} - V_{TH0})}{2} \left(-\frac{\Delta I}{I} + \frac{\Delta \beta}{\beta} \right) + \Delta V_{TH0} + R_s \Delta I = 0$$

従ってソース抵抗が接続されたカレントミラー回路における電流誤差は 【数4】

$$\frac{\Delta I_{out}}{I_{out}} = \frac{(V_{GS} - V_{TH0})/2}{R_s \times I + (V_{GS} - V_{TH0})/2} \left[\frac{\Delta \beta}{\beta} + \frac{\Delta V_{TH0}}{(V_{GS} - V_{TH0})/2} \right]$$

$\Delta \beta$ と ΔV_{TH0} が独立要素であるとして、

【数5】

$$\left| \frac{\Delta I_{out}}{I_{out}} \right| = \frac{(V_{GS} - V_{TH0})/2}{R_s \times I + (V_{GS} - V_{TH0})/2} \sqrt{\left(\frac{\Delta \beta}{\beta} \right)^2 + \left[\frac{\Delta V_{TH0}}{(V_{GS} - V_{TH0})/2} \right]^2} \quad \dots (3)$$

となる。

【0029】この(3)式がカレントミラー回路の誤差を表す式となる。(3)式より $R_s \times I_{ref}$ の電圧値、即ちソース抵抗 R_s の両端にかかる電圧が大きい方が、 $|\Delta I_{out}/I_{out}|$ が小さくなり、カレントミラー回路の精度が大となることがわかる。この実施の態様では上述のように、 $R_{11} \times I_{11} < R_{12} \times I_{12}$ 、即ちMSB側の第2の組12のソース抵抗の電圧降下が、LSB側の第1の組11のそれより大なるよう設定されているので、MSB側のカレントミラー回路の誤差が小さくなる。さらに、LSB側の第1の組11ではソース抵抗 $R_1 \sim R_3$ を従来より小さく設定でき、抵抗の幅が一定だとすれば長さが短くてそれだけ面積が小さくなる。

【0030】また、MSB側の第2の組12のMOSTランジスタ $Q_4 \sim Q_7$ のゲート長 $L_4 \sim L_7$ が、LSB側の第1の組11のMOSTランジスタ $Q_1 \sim Q_3$ のゲート長 $L_1 \sim L_3$ より短くなるよう設定されておるので、(1)式において、ゲートソース間電圧 V_{GS} を一定とした場合でも同じ電流 I_D を流すのに、第1、第2の組でゲート長を等しくする場合に比し、第2の組12のMOSTランジスタ $Q_4 \sim Q_7$ のゲート幅 $W_4 \sim W_7$ を小さくすることが可能となる。

【0031】さらに、第2の組12のMOSTランジスタ $Q_4 \sim Q_7$ のゲートソース間電圧 $V_{GS4} \sim V_{GS7}$ が、第1の組11のMOSTランジスタ $Q_1 \sim Q_3$ のゲートソース間電圧 $V_{GS1} \sim V_{GS3}$ より大なるよう設定されておるので、(1)式において、ゲート長 L を一定としても同じ電流 I_D を流すのに、第1、第2の組でゲートソース間電圧 V_{GS} を等しくした場合に比し、第2の組12のMOSTランジスタ $Q_4 \sim Q_7$ のゲート幅 $W_4 \sim W_7$ を小さくすることが可能となる。

【0032】以上のように、MSB側の第2の組12のMOSTランジスタのゲート長をLSB側の第1の組1

1のそれより短かく、さらに第2の組12のMOSTランジスタのゲートソース間電圧を第1の組11のそれより大となるようにしたので、上述のように第2の組12のMOSTランジスタ $Q_4 \sim Q_7$ のゲート幅を著しく小さくすることが可能となる。そのためMOSTランジスタのレイアウトにおいて大きな面積を占有するMSB側のゲート面積を小さくすることができる。そして、LSB側の第1の組11のMOSTランジスタ $Q_1 \sim Q_3$ ではゲート長 $L_1 \sim L_3$ 及びゲート幅 $W_1 \sim W_3$ が従来より大に設定されるので、それだけ設定精度をあげばらつきを防ぐことができる。

【0033】実施の形態2. 図3はこの発明の実施の形態2を示す回路図で、図において、1は第2の電位源を構成する V_{DD} 、2は第1の電位源を構成するGND、3は定電流源、4は出力抵抗、 $Q_1 \sim Q_7$ はビット数7のD/A変換用の第1のMOSTランジスタであるNMOSTランジスタ、 $R_1 \sim R_7$ はMOSTランジスタ $Q_1 \sim Q_7$ のソース抵抗、 $sw_1 \sim sw_7$ は入力デジタル開閉スイッチ、OUTは出力端子、 V_{REF} は入力デジタル信号が0の時の出力電圧値、 Q_{11} は第1の組11の第2のMOSTランジスタであるNMOSTランジスタ、 R_{11} はこのMOSTランジスタ Q_{11} のソース抵抗、 Q_{12} は第2の組12の第2のMOSTランジスタであるNMOSTランジスタ、 R_{12} はこのMOSTランジスタ Q_{12} のソース抵抗である。

【0034】 Q_{21} はNMOSTランジスタ Q_{11} のドレインと V_{DD} 1間に直列に接続された第3のMOSTランジスタであるPMOSTランジスタ、 Q_{22} はNMOSTランジスタ Q_{12} のドレインと V_{DD} 1間に直列に接続された第3のMOSTランジスタであるPMOSTランジスタ、 Q_{30} は、これらPMOSTランジスタ Q_{21} 、 Q_{22} とカレントミラー回路を構成し、ゲートとドレインが短絡され、ソースが V_{DD} 1に、ドレインが定電流源3を介し

てGND2に、ゲートがPMOSTランジスタ Q_{21} 、 Q_{22} のゲートにそれぞれ接続される第4のMOSTランジスタであるPMOSTランジスタである。即ち、この実施の態様は各MOSTランジスタの極性を実施の態様1と逆にしたもので、実施の形態1と比較して V_{REF} が V_{DD} に近い値の場合に有効である。

【0035】 $I_1 \sim I_7$ 、 I_{11} 、 I_{12} 、 I_{30} は各MOSTランジスタ $Q_1 \sim Q_7$ 、 Q_{11} 、 Q_{12} 、 Q_{30} のドレイン電流で、これらと各抵抗 $R_1 \sim R_7$ 、 R_{11} 、 R_{12} との関係は実施の態様1と同様である。即ち、この実施の態様2においても、各組内のソース抵抗の電圧降下が等しく、かつ、第1の組11のソース抵抗の電圧降下を第2の組12のそれより小さくするよう設定されている。そして、各組内のMOSTランジスタのゲート長が等しく、そして、第1の組11のゲート長が第2の組12のそれより長くなるよう設定され、さらに、各組内のMOSTランジスタのゲートソース間電圧が等しく、そして、第1の組11のゲートソース間電圧が第2の組12のそれより小さくするよう設定されている。従ってその動作及び効果は実施例と全く同様なのでその説明は省略する。

【0036】実施の形態3。図4はこの発明の実施の形態3を示す回路図で、図において、1は第1の電位源を構成する V_{DD} 、2は第2の電位源を構成するGND、3は定電流源、4は出力抵抗、 $Q_1 \sim Q_9$ はビット数9のD/A変換用の第1のMOSTランジスタであるPMOSTランジスタ、 $R_1 \sim R_9$ はMOSTランジスタ $Q_1 \sim Q_9$ のソース抵抗、 $sw_1 \sim sw_9$ は入力デジタル開閉スイッチ、OUTは出力端子、 V_{REF} は入力デジタル信号が0の時の出力電圧値、 Q_{11} は第1の組11の第2のMOSTランジスタであるNMOSTランジスタ、 R_{11} はこのMOSTランジスタ Q_{11} のソース抵抗、 Q_{12} は第2の組12の第2のMOSTランジスタであるPMOSTランジスタ、 R_{12} このMOSTランジスタ Q_{12} のソース抵抗、 Q_{13} は第3の組13の第2のMOSTランジスタであるPMOSTランジスタ、 R_{13} このMOSTランジスタ Q_{13} のソース抵抗である。

【0037】 Q_{21} はPMOSTランジスタ Q_{11} のドレインと V_{DD} 1間に直列に接続された第3のMOSTランジスタであるNMOSTランジスタ、 Q_{22} はPMOSTランジスタ Q_{12} のドレインと V_{DD} 1間に直列に接続された第3のMOSTランジスタであるNMOSTランジスタ、 Q_{23} はPMOSTランジスタ Q_{13} のドレインと V_{DD} 1間に直列に接続された第3のMOSTランジスタであるNMOSTランジスタ、 Q_{30} は、これらNMOSTランジスタ Q_{21} 、 Q_{22} 、 Q_{23} とカレントミラー回路を構成し、ゲートとドレインが短絡され、ソースが V_{DD} 1に、ドレインが定電流源3を介してGND2に、ゲートがPMOSTランジスタ Q_{21} 、 Q_{22} 、 Q_{23} のゲートにそれぞれ接続される第4のMOSTランジスタであるNMOSTランジスタである。

【0038】 $I_1 \sim I_9$ 、 I_{11} 、 I_{12} 、 I_{13} 、 I_{30} は各MOSTランジスタ $Q_1 \sim Q_9$ 、 Q_{11} 、 Q_{12} 、 Q_{13} 、 Q_{30} のドレイン電流で、

$$I_1/I_2 = I_2/I_3 = I_3/I_4 = I_4/I_5 = I_5/I_6 = I_6/I_7 = I_7/I_8 = I_8/I_9 = 2$$

となるよう、各組11及び12毎に抵抗 $R_1 \sim R_9$ を

$$R_1 \times I_1 = R_2 \times I_2 = R_3 \times I_3 = R_{11} \times I_{11}$$

$$R_4 \times I_4 = R_5 \times I_5 = R_6 \times I_6 = R_{12} \times I_{12}$$

$$R_7 \times I_7 = R_8 \times I_8 = R_9 \times I_9 = R_{13} \times I_{13}$$

と、即ち、各組内のソース抵抗の電圧降下が等しくなるよう、

$$R_1/R_2 = R_2/R_3 = 1/2, R_4/R_5 = R_5/R_6 = 1/2, R_7/R_8 = R_8/R_9 = 1/2$$

の関係に設定する。そしてこの実施の態様では、 $R_{11} \times I_{11} < R_{12} \times I_{12} < R_{13} \times I_{13}$ 、即ちLSB側の組のソース抵抗の電圧降下をMSB側の組のそれより小さくするよう設定する。

【0039】また、各組のMOSTランジスタ $Q_1 \sim Q_9$ 、 Q_{11} 、 Q_{12} 、 Q_{13} のゲート長を $L_1 \sim L_9$ 、 L_{11} 、 L_{12} 、 L_{13} 、ゲート幅を $W_1 \sim W_9$ 、 W_{11} 、 W_{12} 、 W_{13} とすれば、これらの関係を

$$L_1 = L_2 = L_3 = L_{11}, L_4 = L_5 = L_6 = L_{12}, L_7 = L_8 = L_9 = L_{13}, L_{11} > L_{12} > L_{13}$$

と、即ち、各組内のMOSTランジスタのゲート長が等しく、そして、LSB側の組のゲート長をMSB側の組のそれより長くなるよう設定する。

【0040】さらに、各MOSTランジスタ $Q_1 \sim Q_9$ 、 Q_{11} 、 Q_{12} 、 Q_{13} 、 Q_{21} 、 Q_{22} 、 Q_{23} 、 Q_{30} のゲートソース間電圧 $V_{GS1} \sim V_{GS9}$ 、 V_{GS11} 、 V_{GS12} 、 V_{GS13} 、 V_{GS21} 、 V_{GS22} 、 V_{GS23} 、 V_{GS30} を

$$V_{GS1} = V_{GS2} = V_{GS3} = V_{GS11}, V_{GS4} = V_{GS5} = V_{GS6} = V_{GS12}, V_{GS7} = V_{GS8} = V_{GS9} = V_{GS13}, V_{GS21} = V_{GS22} = V_{GS23} = V_{GS30}, V_{GS11} < V_{GS12} < V_{GS13}$$

と、即ち、同じカレントソース回路を構成するMOSTランジスタのゲートソース間電圧を等しく、そして、LSB側の組のゲートソース間電圧をMSB側の組のそれより小さくするよう設定する。これによって、各第1のMOSTランジスタ $Q_1 \sim Q_9$ のゲート幅 $W_1 \sim W_9$ は

(1)式より明らなように

$$W_1/W_2 = W_2/W_3 = 1/2, W_4/W_5 = W_5/W_6 = 1/2, W_7/W_8 = W_8/W_9 = 1/2$$

となる。ただし、 $W_3/W_4 > W_6/W_7 > 1/2$ なるよう設定される。

【0041】次にその動作を説明する。第3のNMOSTランジスタ Q_{21} 、 Q_{22} 、 Q_{23} と第4のNMOSTランジスタ Q_{30} とはカレントミラー回路を構成されており、これらのNMOSTランジスタのゲートとGND2間のゲート電圧、ソース抵抗が接続されていないので、ゲートソース間電圧 V_{GS21} 、 V_{GS22} 、 V_{GS23} 、 V_{GS30} が等しくなるよう各MOSTランジスタにドレイン電流 I_{11} 、

I_{12} , I_{13} , I_{30} が流れる。これらのドレイン電流は、各MOSTランジスタ Q_{21} , Q_{22} , Q_{23} , Q_{30} のゲート長を L_{21} , L_{22} , L_{23} , L_{30} 、ゲート幅を W_{21} , W_{22} , W_{23} , W_{30} とし、しきい値電圧 V_{TH0} は全トランジスタで等しいとすれば、上記(1)式より

$$I_{11} = (I_{30} \times W_{21} \times L_{30}) / (L_{21} \times W_{30}),$$

$$I_{12} = (I_{30} \times W_{22} \times L_{30}) / (L_{22} \times W_{30})$$

$$I_{13} = (I_{30} \times W_{23} \times L_{30}) / (L_{23} \times W_{30})$$

となる。これらのドレイン電流 I_{11} , I_{12} 及び I_{13} が第2のPMOSTランジスタ Q_{11} , Q_{12} 及び Q_{13} にドレイン電流として供給される。

【0042】今、入力デジタル信号に応じてスイッチ $sw_1 \sim sw_9$ の何れかが、例えばスイッチ sw_1 , sw_3 , sw_5 及び sw_7 がオンしたとすると、そのオンしたスイッチ sw_1 , sw_3 を介してMOSTランジスタ Q_1 , Q_3 のゲートと V_{DD} 1間に、MOSTランジスタ Q_{11} に供給されるドレイン電流 I_{11} の抵抗 R_{11} による電圧降下($I_{11} \times R_{11}$)と上記ゲートソース間電圧 V_{GS11} を加えた値に等しい一定のゲート電圧($V_{G11} = I_{11} \times R_{11} + V_{GS11}$)が印加される。そして、MOSTランジスタ Q_{11} 、ソース抵抗 R_{11} とMOSTランジスタ Q_1 , Q_3 、ソース抵抗 R_1 , R_3 とで構成されるカレントミラー回路11によって、MOSTランジスタ Q_1 , Q_3 には次式に示す値のドレイン電流 I_1 , I_3 が流れる。

$$I_1 = (V_{G11} - V_{GS11}) / R_1 = I_{11} \times R_{11} / R_1, \quad I_3 =$$

$$I_{out} = I_1 + I_3 + I_5 + I_7$$

$$= I_{11} \times R_{11} \times (1/R_1 + 1/R_3) + I_{12} \times R_{12} \times 1/R_5 + I_3 \times R_{13} / R_7$$

$$= (1 + 4 + 16 + 64) \times I_1 = 85 I_1$$

となり、この出力電流 I_{out} が出力抵抗4に流れ、その電圧降下が V_{REF} に加えられた出力電圧が出力端子OUTに出力される。このように、入力デジタル信号に応じてオンされるスイッチ $sw_1 \sim sw_9$ に対応するMOSTランジスタ $Q_1 \sim Q_9$ に流れるドレイン電流 $I_1 \sim I_9$ が加算されて出力抵抗4に流れ、入力デジタル信号に対応したアナログ出力電圧が出力端子OUTから取出される。

【0046】以上のように、この実施の態様では、第1のMOSTランジスタ $Q_1 \sim Q_9$ を3組に分けて、それぞれ別のカレントミラー回路を構成させたので、全MOSTランジスタのゲートと V_{DD} 1間のゲート電圧を等しくする必要がなく、従って、各ソース抵抗による電圧降下、各MOSTランジスタのゲートソース間電圧は各組内においてのみ等しくなるようソース抵抗値、ゲート長、ゲート幅を調整すればよく、LSB側の第1の組11、中間の第2の組12及びMSB側の第3の組13とでそれぞれ独自の値に調整することが可能となる。

【0047】この実施の態様でも上述のように、 $R_{11} \times I_{11} < R_{12} \times I_{12} < R_{13} \times I_{13}$ 、即ちMSB側の組のソース抵抗の電圧降下が、LSB側の組のそれより大なるよう設定されているので、MSB側のカレントミラー回

$$I_{11} \times R_{11} / R_3$$

【0043】また、オンしたスイッチ sw_5 を介してMOSTランジスタ Q_5 のゲートと V_{DD} 1間に、MOSTランジスタ Q_{12} に供給されるドレイン電流 I_{12} の抵抗 R_{12} による電圧降下($I_{12} \times R_{12}$)と上記ゲートソース間電圧 V_{GS12} を加えた値に等しい一定のゲート電圧($V_{G12} = I_{12} \times R_{12} + V_{GS12}$)が印加される。そして、MOSTランジスタ Q_{12} 、ソース抵抗 R_{12} とMOSTランジスタ Q_5 、ソース抵抗 R_5 とで構成されるカレントミラー回路12によって、MOSTランジスタ Q_5 には次式に示す値のドレイン電流 I_5 が流れる。

$$I_5 = (V_G - V_{GS12}) / R_5 = I_{12} \times R_{12} / R_5$$

【0044】さらに、オンしたスイッチ sw_7 を介してMOSTランジスタ Q_7 のゲートと V_{DD} 1間に、MOSTランジスタ Q_{13} に供給されるドレイン電流 I_{13} の抵抗 R_{13} による電圧降下($I_{13} \times R_{13}$)と上記ゲートソース間電圧 V_{GS13} を加えた値に等しい一定のゲート電圧($V_{G13} = I_{13} \times R_{13} + V_{GS13}$)が印加される。そして、MOSTランジスタ Q_{13} 、ソース抵抗 R_{13} とMOSTランジスタ Q_7 、ソース抵抗 R_7 とで構成されるカレントミラー回路13によって、MOSTランジスタ Q_7 には次式に示す値のドレイン電流 I_7 が流れる。

$$I_7 = (V_G - V_{GS13}) / R_7 = I_{13} \times R_{13} / R_7$$

【0045】それで、出力電流 I_{out} は

路の誤差が小さくなる。さらに、LSB側の組ではソース抵抗を従来より小さく設定でき、抵抗の幅が一定だとすれば長さが短くてそれだけ面積が小さくなる。

【0048】また、MSB側の組のMOSTランジスタのゲート長 L が、LSB側のそれより短くなるよう設定されているので、ゲートソース間電圧 V_{GS} を一定とした場合でも同じ電流 I_D を流すのに、全てのMOSTランジスタのゲート長 L を等しくする場合に比し、MSB側の組のMOSTランジスタのゲート幅 W を小さくすることが可能となる。

【0049】さらに、MSB側の組のMOSTランジスタのゲートソース間電圧 V_{GS} が、LSB側のそれより大なるよう設定されているので、ゲート長 L を一定としても同じ電流 I_D を流すのに、全てのMOSTランジスタでゲートソース間電圧 V_{GS} を等しくした場合に比し、MSB側の組のMOSTランジスタのゲート幅 W を小さくすることが可能となる。

【0050】以上のように、MSB側のMOSTランジスタのゲート長をLSB側のそれより短かく、さらにMSB側のMOSTランジスタのゲートソース間電圧をLSB側のそれより大となるようにしたので、上述のようにMSB側のMOSTランジスタのゲート幅を著しく小

小さくすることが可能となる。そのためMOSTランジスタのレイアウトにおいて大きな面積を占有するMSB側のゲート面積を小さくすることができる。そして、LSB側のMOSTランジスタではゲート長 L 及びゲート幅 W が従来より大に設定されるので、それだけ設定精度をあげばらつきを防ぐことができる。

【0051】なお、この実施の態様3では、第1、第2のMOSTランジスタ $Q_1 \sim Q_9$ 、 Q_{11} 、 Q_{12} 、 Q_{13} をPMOSTランジスタに、第3、第4のMOSTランジスタ Q_{21} 、 Q_{22} 、 Q_{23} 、 Q_{30} をNMOSTランジスタとしたが、これを実施の態様2のように、第1、第2のMOSTランジスタをNMOSTランジスタに、第3、第4のMOSTランジスタをPMOSTランジスタにしてもよい。また、この実施の態様3では第1のMOSTランジスタ $Q_1 \sim Q_9$ を3組に分けた場合を示したが、入力ビット数が増えた場合さらに4組以上分けることももちろん可能である。

【0052】

【発明の効果】この発明は、第1の電位源と出力端子間に、第1のMOSTランジスタとソース抵抗との直列回路を所定数並列に接続し、上記各第1のMOSTランジスタのゲートと上記第1の電位源との間に、入力デジタル信号に応じて開閉する各スイッチを介して所定のゲート電圧を印加し、上記出力端子から上記スイッチオンの第1のトランジスタ電流の総和を取出すようにした電流加算型デジタルアナログ変換回路において、上記第1のMOSTランジスタとソース抵抗との直列回路群を複数組に分け、各組毎に、それぞれの組の各第1のMOSTランジスタとカレントミラー回路を構成し、これら第1のMOSTランジスタのゲート電圧印加端子と第1の電位源間に、ゲートとドレインが短絡された第2のMOSTランジスタとソース抵抗との直列回路を接続し、これら各組の第2のMOSTランジスタのドレインと第2の電位源間に上記各第1、第2のMOSTランジスタと逆極性の第3のMOSTランジスタを接続し、これら各組の第3のMOSTランジスタとカレントミラー回路を構成し、これら第3のMOSTランジスタと同極性で、ソースが上記第2の電位源に、ドレインが定電流源を介して上記第1の電位源に接続され、ゲートとドレインが短絡されて、上記全組の第3のMOSTランジスタのゲートに接続された第4のMOSTランジスタを設けたので、各ソース抵抗による電圧降下、各MOSTランジスタのゲートソース間電圧を、LSB側の組のカレントミラー回路とMSB側の組のカレントミラー回路とでそれぞれ独自に調整でき、それによりソース抵抗値、ゲート長、ゲート幅等をそれぞれ独自の値に調整することで、精度が高く、パターンレイアウト面積を小さくすることが可能であるという効果がある。

【0053】また、上記のものにおいて、分割された上位ビット側(MSB側)の組のMOSTランジスタのゲ

ートと第1の電位源間の電圧を、下位ビット側(LSB側)の組のそれより大なるようにしたので、特にばらつきの精度が大きく関与するMSB側のカレントミラー回路の誤差が小さくなりそれだけ精度が高くなるという効果がある。

【0054】また、上記のものにおいて、分割された各組の第1のMOSTランジスタと第2のMOSTランジスタのソース抵抗とこれを通る電流による電圧降下の大きさを各組毎に等しくするとともに、MSB側の組の上記電圧降下を、LSB側の組のそれより大となるようにしたので、MSB側のカレントミラー回路の精度が高くなるとともに、LSB側のMOSTランジスタのソース抵抗値を小さく設定でき、抵抗の幅が一定だとすれば長さが短くでき、それだけパターンレイアウト面積が小さくなるという効果がある。

【0055】さらに、上記のものにおいて、分割された各組の第1のMOSTランジスタと第2のMOSTランジスタのゲート長を各組毎に等しくするとともに、MSB側の組のゲート長を、LSB側の組のゲート長より短くなるようにしたので、MSB側のMOSTランジスタにおいては同じドレイン電流を流すのにゲート幅を小さくすることが可能となり、それだけパターンレイアウト面積が小さくなり、LSB側の組のMOSTランジスタにおいてはゲート長を従来より大に、しかも同じドレイン電流を流すのにゲート幅をも大に設定できるので、それだけ設定精度をあげばらつきを防ぐことができるという効果がある。

【0056】さらにまた、分割された各組の第1のMOSTランジスタと第2のMOSTランジスタのゲートソース間電圧を各組毎に等しくするとともに、MSB側の組の上記ゲートソース間電圧を、LSB側の組のゲートソース間電圧より大となるようにしたので、MSB側ではMOSTランジスタのゲート幅を従来より狭く、LSB側では広く設定できるので、大きなパターンレイアウト面積を占有するMSB側のMOSTランジスタではパターンレイアウト面積を小さくでき、LSB側のMOSTランジスタでは設定精度をあげばらつきを防ぐことができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1を示す回路図。

【図2】 実施の形態1の動作を説明するための回路図。

【図3】 この発明の実施の形態2を示す回路図。

【図4】 この発明の実施の形態3を示す回路図。

【図5】 従来の電流加算型D/A変換器の一例を示す回路図。

【図6】 (a)はPMOSTランジスタの構成及びマスクパターンを示す平面図。(b)はその断面図。

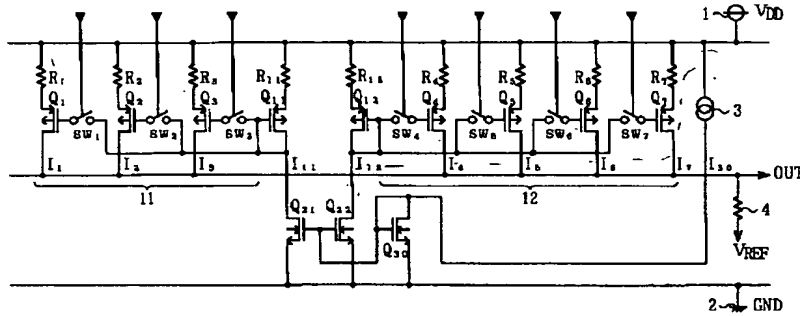
【符号の説明】

1 直流電源(第1、第2の電位源)、2 接地点(第

2, 第1の電位源)、3 定電流源、4 出力抵抗、1
1 第1の組、12 第2の組、13 第3の組、 Q_1
~ Q_9 第1のMOSTランジスタ、 Q_{11} , Q_{12} , Q_{13}
第2のMOSTランジスタ、 Q_{21} , Q_{22} , Q_{23} 第3

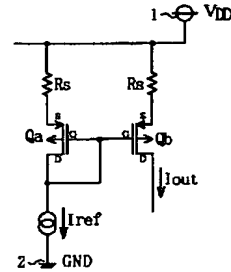
のMOSTランジスタ、 Q_{30} 第4のMOSTランジスタ、 $R_1 \sim R_9$, R_{11} , R_{12} , R_{13} ソース抵抗、 sw_1
~ sw_9 スイッチ、OUT 出力端子。

【図1】



- 1: 直流電源 (第1の電位源) $Q_1 \sim Q_9$: 第1のMOSTランジスタ
2: 接地点 (第2の電位源) Q_{11}, Q_{12} : 第2のMOSTランジスタ
3: 定電流源 Q_{11}, Q_{12} : 第3のMOSTランジスタ
4: 出力抵抗 Q_{30} : 第4のMOSTランジスタ
11: 第1組の直列回路群 $R_1 \sim R_9$: ソース抵抗
12: 第2組の直列回路群 R_{11}, R_{12} : ソース抵抗
 $sw_1 \sim sw_9$: スイッチ

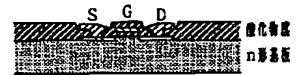
【図2】



【図6】

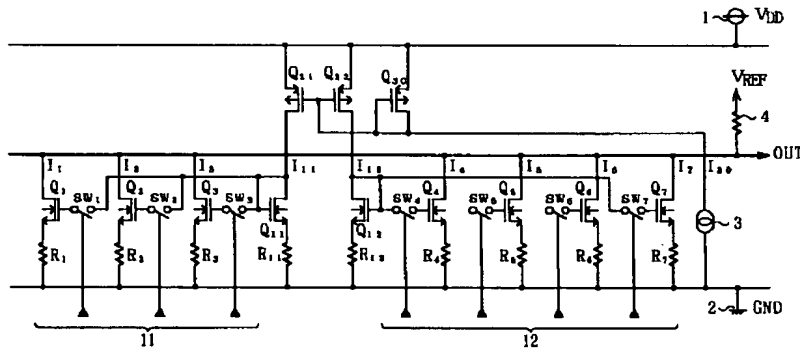


(a)



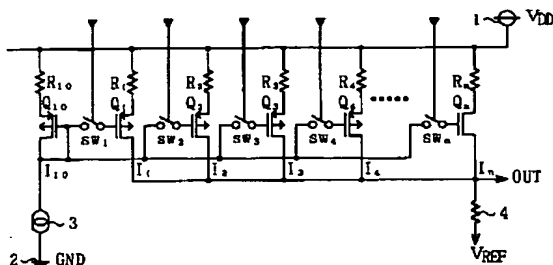
(b)

【図3】

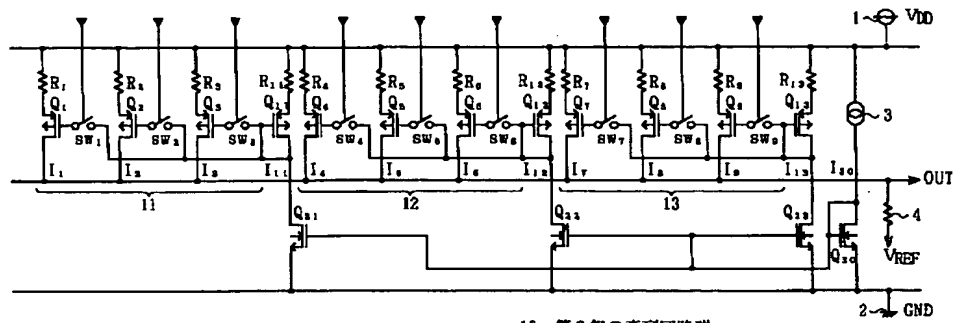


- 1: 直流電源 (第2の電位源)
2: 接地点 (第1の電位源)

【図5】



【図4】



13 : 第3組の直列回路群

 Q_1, Q_2 : 第1のMOSトランジスタ $Q_{1,2}$: 第2のMOSトランジスタ $Q_{2,3}$: 第3のMOSトランジスタ R_1, R_2 : ソース抵抗 $R_{1,2}$: ソース抵抗 SW_1, SW_2 : スイッチ